

⑱ 公開特許公報 (A)

昭61-292747

⑲ Int.Cl. 4

G 06 F 9/38
5/06

識別記号

序内整理番号

⑳ 公開 昭和61年(1986)12月23日

A-7361-5B
7230-5B

審査請求 未請求 発明の数 1 (全5頁)

㉑ 発明の名称 バッファレジスタ

㉒ 特願 昭60-134766

㉓ 出願 昭60(1985)6月20日

㉔ 発明者 福嶋 清 東京都港区芝5丁目33番1号 日本電気株式会社内

㉕ 発明者 宮田 真司 東京都港区芝5丁目33番1号 日本電気株式会社内

㉖ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号

㉗ 代理人 弁理士 内原晋

明細書

1. 発明の名称

バッファレジスタ

2. 特許請求の範囲

第1の信号によりシフト動作を実行するシフトレジスタと、前記第1の信号およびこれと異なる第2の信号により制御されるポインタと、該ポインタにより前記シフトレジスタの任意のビットにデータを選択入力する手段とを有する事を特徴とするバッファレジスタ。

3. 発明の詳細を説明

(技術分野)

本発明はマイクロコンピュータ等に使用されるバッファレジスタに關し、特に先取り命令方式で用いられるキューバッファレジスタに関する。

(従来技術)

近年、マイクロコンピュータ等では命令のフ

ォトサイクルの遅れによるシステムスピードの低下を防ぐために、命令のキューバッファレジスタ(以下、QBRという)を備え、バスの空サイクル時に命令を先取り(プリフェッチ)する方法が通常とされる。命令のQBRは命令のフェッチとデコードのタイミングを調整するもので機能的にはFIFO構造になつては良い。このFIFOを実現するにはシフトレジスタを使用したものとRAMを使用したものがある。

従来のシフトレジスタ方式のQBRはQBRのうち一つ以上が空の時、QBR内の最も奥の段に入力データをシフトさせながらつめて書き込み、一方読み出し時には必要なデータをシフトアウトして得るようにしている。この方式ではキューライト時に入力したデータを必要な位置までシフトさせるタイミングを作るのが難しく、またその制御回路も非常に複雑である。さらに、キューリードとキューライトが同時にできない欠点もあり現在あまり使用されない。

RAM方式のQBRの一例を第3図に示す。こ

の方式はキューライト (QWR) 信号 2 によって入力バッファ (INBUF) 1 の入力データ (QIN) をキューライトポインタ (QWR ポインタ) 3 で指された RAM 4 のビット書き込むと共に、キューライトポインタ 3 を +1 インクリメントする。またキューリード (QRD) 信号 5 によってキューリードポインタ (QRD ポインタ) 6 で指された RAM 4 のビットを出力バッファ (OUTBUF) 7 から出力して出力データとし、それと共にキューリードポインタ 6 を +1 インクリメントする。各ボイスタからのアドレスは夫々デコード 8, 9 でデコードされ、書込アドレス、読出アドレスとして RAM 4 に入力される。

(解決すべき問題点)

QRDY 10 及び QFULL 11 の 2 つの信号はキューライトポインタ 3 よりキューリードポインタ 6 の内容を引いた結果を比較器 1, 2 で比較して得られる。この方式では RAM を使用するため第 3 図の入出力バッファ 1 および 7 だけでなく、ブリッヂのタイミングとその制御回路 (図示せず)

キューリードポインタ 6, キューライトポインタ 3 及びそれらのデコード 8, 9, QRDY と QFULL の信号を発生する為の演算比較回路 1, 2 が必要であった。従って、この方式では複雑な制御回路が必要となる上に、やはりキューリードとキューライトが同時に実行できないという欠点があった。

(発明の目的)

本発明の目的は回路構成と制御が簡単で、かつリードとライトが同時に実行可能なバッファレジスタを提供する事にある。

(問題点を解決するための手段)

本発明のバッファレジスタは第 1 の信号によりシフト動作を実行するシフトレジスタと、前記第 1 の信号およびそれと異なる第 2 の信号により制御されるポインタと、該ポインタにより前記シフトレジスタの任意のビットにデータを選択入力する手段とを含んで構成される。

(実施例)

以下に、本発明の一実施例について説明する。第 1 図は本発明の一実施例を示す回路ブロック図

である。本実施例は 4 ビット × 4 ビット段の命令キューバッファレジスタ (QBR) を示している。ここで QWR 15 は QBR へのデータ書き込み信号、QRD 16 は、中央処理装置 (以下、CPU という) が QBR からデータ読出しを終了したことを示す信号 I 0 ～ I 3 は QBR のデータ入力端子、O 0 ～ O 3 は QBR のデータ出力端子、RESET 17 はキューポインタ P 0 ～ P 4 のイニシャライズ信号である。QRDY 18 は QBR がレティ状態である事を示す信号で、この信号がインアクティブの時は CPU は QRD 信号 16 を出力しない。QFULL 19 は QBR が満杯である事を示す信号で、この信号がアクティブの時には CPU は QWR 信号 15 を出力しない。P 0 ～ P 4 は右シフト、左シフト可能なシフトレジスタで構成されたキューポインタである。SHR は QWR の反転信号と QRD とを入力とする 2 入力 AND ゲートで、その出力は SHR 信号となる。SHL は QRD の反転信号と QWR とを入力とする 2 入力 AND ゲートで、その出力は SHL 信号となる。QRDYB は

キューポインタ P 0 の出力を入力とするインバータで、その出力は QRDY 信号となる。P 0 0 はトランスマッタゲートで SHL 信号によって "0" レベルを入力する。また P 0 1 はトランスマッタゲートで SHR 信号によってキューポインタ P 1 の出力を入力とし、そして P 0 0 と P 0 1 の出力を接続してキューポインタ P 0 への入力となるマルチプレクサを構成する。同様に P 1 0 と P 1 1 はトランスマッタゲートで前者は SHL 信号によってキューポインタ P 0 の出力を入力とし、後者は SHR 信号によってキューポインタ P 1 の出力を入力とし、両者の出力を接続してキューポインタ P 1 への入力となるマルチプレクサを構成する。P 2 0 と P 2 1 は同様のトランスマッタゲートで前者は SHL 信号によってキューポインタ P 1 の出力を入力とし、後者は SHR 信号によってキューポインタ P 2 の出力を入力とし、両者の出力を接続してキューポインタ P 2 への入力となるマルチプレクサを構成する。さらに P 3 0 と P 3 1 もトランスマッタゲートで前者は SHL 信号によ

てキューポイントP2の出力を入力とし、後者はSHR信号によってキューポイントP4の出力を入力とし両者の出貨を接続してキューポイントP3への入力となるマルチブレクサを構成する。P40とP41も同様のトランスファーゲートで前者はSHL信号によってキューポイントP3の出力を入力とし、後者はSHR信号によって'0'レベルを入力し、両者の出力を接続してキューポイントP4への入力となるマルチブレクサを構成する。S10-S20-S30-S40, S11-S21-S31-S41, S12-S22-S32-S42, S13-S23-S33-S43はデータ入力端子I0, I1, I2, I3のデータを入力し、QRD信号I6同期してシフト動作を実行するシフトレジスタである。トランスファーゲートO05, O06, O07, O08はキューポイントP0の出力の反転信号によってシフトレジスタS10, S11, S12, S13の出力をそれぞれQBR出力O0, O1, O2, O3へ出力する。同様にトランスファーゲートO15, O16, O17, O18はキューポ

それQBR出力O0, O1, O2, O3へ出力する。またトランスファーゲートO10-O11-O12-O13はキューポイントP1の出力信号によってQBRの入力データI0, I1, I2, I3をそれぞれシフトレジスタS10, S11, S12, S13へ入力する。トランスファーゲートO20, O21, O22, O23はキューポイントP2の出力信号によってQBRの入力データI0, I1, I2, I3をそれぞれシフトレジスタS20, S21, S22, S23へ入力する。さらに、トランスファーゲートO30, O31, O32, O33はキューポイントP3の出力信号によってQBRの入力データI0, I1, I2, I3をそれぞれシフトレジスタS30, S31, S32, S33へ入力する。

本実施例の動作を第2図のタイミングチャートに従って説明する。第2図においてT1~T12は各タイミングを示す。またQWR及びQRDの両信号及びRESET信号、入力データI0~I3は第1図の本発明のQBRが様々な状態になるように適宜設定したものである。

インタP1の出力の反転信号によってシフトレジスタS20, S21, S22, S23の出力をそれぞれシフトレジスタS10, S11, S12, S13へ入力する。同様にトランスファーゲートO25, O26, O27, O28はキューポイントP2の出力の反転信号によってシフトレジスタS30, S31, S32, S33の出力をそれぞれシフトレジスタS20, S21, S22, S23へ入力する。同様にトランスファーゲートO35, O36, O37, O38はキューポイントP3の出力の反転信号によってシフトレジスタS40, S41, S42, S43の出力をそれぞれシフトレジスタS30, S31, S32, S33へ入力する。同様にトランスファーゲートO40, O41, O42, O43はキューポイントP4の出力信号によってQBRの入力I0, I1, I2, I3をそれぞれシフトレジスタS40, S41, S42, S43へ入力する。

トランスファーゲートO00-O01-O02-O03はキューポイントP0の出力信号によって、QBRの入力データI0, I1, I2, I3をそれ

T1はRESETがかかる以前でキューポイントP4-P0, QBR出力O3~O0, QRDY, QFULL等の出力信号は全て不定(図中'X')である。T2でRESETがアクティブになり、キューポイントP4-P0はP0='1', P1~P4='0'にイニシャライズされる。その結果QBR出力O3~O0にはI3-I0の入力データ即ち'Fe'が出力されると共にQRDY, QFULLは'インアクティブ'になる。T3でRESETが'インアクティブ'になると、QRDとQWRは共にインアクティブになるのでSHR・SHLの両信号は'インアクティブ'になり、T2の状態を保持する。T4でQWRがアクティブになると、SHL信号が'アクティブ'になりキューポイントは左シフトしてP1が'アクティブ'になる。シフトレジスタS10-S13にはI0-I3の入力データ'Fe'が書き込まれる。QBR出力O0-O3にはシフトレジスタS10-S13のデータ'Fe'が出力される。さらに、キューポイントP0が'インアクティブ'になるのでQRDYが'アク

ティブ'になる。T5でQRDか'アクティブ'になるとキューポイントは右シフトしてP0が'アクティブ'となる。またシフトレジスタはデータをシフトして、QBR出力O0-O3にはI0-I3の入力データ即ち'EH'が出力され、QRDYは'インアクティブ'になる。T6でQWRが'アクティブ'になると、T4と同様にシフトレジスタのS10-S13にはI0-I3の入力データ即ち'EH'が書き込まれる。そして、キューポイントは左シフトしてP1が'アクティブ'となる。またQBR出力O0-O3にはシフトレジスタS10-S13のデータ'EH'が出力され、QRDYは'アクティブ'になる。T7でもQWRが'アクティブ'であり、キューポイントは左シフトしP2が'アクティブ'になり、シフトレジスタS20-S23にはI0-I3の入力データ即ち'DH'が書き込まれる。またQBR出力O0-O3にはシフトレジスタS10-S13のデータ'EH'が出力される。T8でQRD・QWRが共に'アクティブ'になるので、シフトレジス

タS20-S23にI0-I3の入力データ即ち'CH'が書き込まれると共にシフトし、QBRの出力O0-O3にはシフトレジスタS10-S13の出力データ'DH'が出力される。またキューポイントはSHR信号・SHL信号が共に'インアクティブ'になるため前のT7の状態を保持しP2が'アクティブ'のままになる。T9でQWRが'アクティブ'になるとキューポイントは左シフトしてP3が'アクティブ'となり、シフトレジスタS30-S33にはQBRの入力データ即ち'BE'が書き込まれる。またQBRの出力O0-O3にはシフトレジスタS10-S13のデータ'DH'が出力される。T10でもQWRが'アクティブ'で、キューポイントは左シフトしてP4が'アクティブ'となり、シフトレジスタS40-S43にはQBRの入力データ即ち'AE'が書き込まれる。またQBR出力O0-O3にはシフトレジスタS10-S13のデータ'DH'が出力される。キューポイントP4が'アクティブ'になるとQFULLが'アクティブ'になる。T11

ではQWR・QRDが共に'インアクティブ'である。T3と同様に全ての出力がT10と同じ状態を保持する。T12でQRDが'アクティブ'になるとキューポイントは右シフトしてP3が'アクティブ'になる。シフトレジスタはシフトしてQBR出力O0-O3にはシフトレジスタS10-S13のデータ'CH'が出力される。キューポイントP4は'インアクティブ'になるのでQFULLも'インアクティブ'になる。

本実施例ではキューポイントを右シフト・左シフト可能なシフトレジスタで構成したが、バイナリカウンタ等のカウンタで構成してそのデコード出力をキューポイント信号としても良い。また、QBRの構成を4ビット×4段で説明したが、これも任意のmビット×n段のQBRでも何ら差支えない。

(発明の効果)

以上説明したように本発明によれば、従来のRAM方式のQBRで必要であったキューリードポイントとキューライトポイントが一つのポイント

で兼用でき、QRDY・QFULL等の状態信号も何ら必要とせず、単にキューポイント出力を取り出すだけで良い。このため回路構成が非常に簡単になり、ハードウェアの減少が可能となる。また、従来シフトレジスタ方式とRAM方式の両者の欠点であった複雑なタイミング制御も不要になり、QRD(読み出し)とQWR(書き込み)が同時に実行できる等、その効果は非常に大である。

4. 図面の簡単な説明

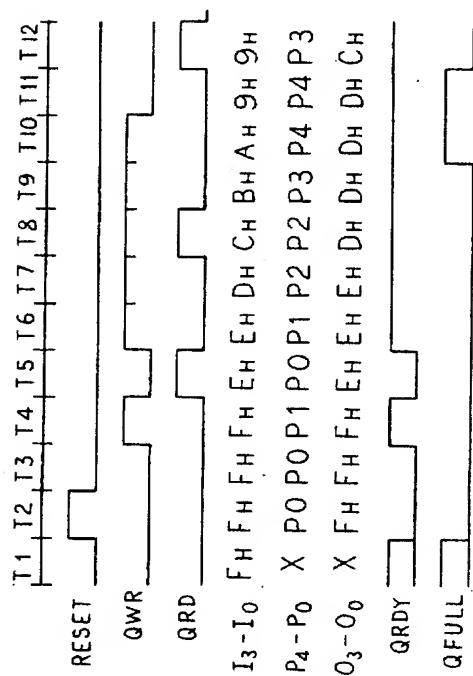
第1図は本発明の一実施例のブロック図、第2図は第1図のタイミングチャート、第3図は従来のブロック図である。

QWR……キューバッファレジスタへの書き信号、QRD……キューバッファレジスタからの読み出信号、I0-I3……キューバッファレジスタのデータ入力端子、O0-O3……キューバッファレジスタからのデータ出力端子、QRDY……キューバッファレジスタがレディ状態であることを示す信号、QFULL……キューバッファレジス

特開昭61-292747 (5)

タが満杯である事を示す信号、RESET……キュー
 パッファレジスタのイニシャライズ信号、SHR,
 SHL……2入力ANDゲート、QRDYB……イ
 ンバータ、P00,P01,P10,P11,P20,
 P30,P21,P40,P31,P41,000-003,
 010,013,020-023,030-033,040
 -043……トランスマルチゲート、005-008,
 015-018,025-028,035-038,045
 -048……トランスマルチゲート、P0-P4…
 …シフトレジスタ構成のキューポイント、S10-
 S20-S30-S40,S11-S21-S31-S41,
 S12-S22-S32-S42,S13-S23-S33
 -S43……シフトレジスタ、T1-T12……タ
 イミング信号、キューポイントP0のS……RESET
 信号によって'1'にセットされる端子、キュー
 ポイントP1-P4のR……RESET信号によって
 '0'にリセットされる端子。

代理人 律師士 內 頌



第2

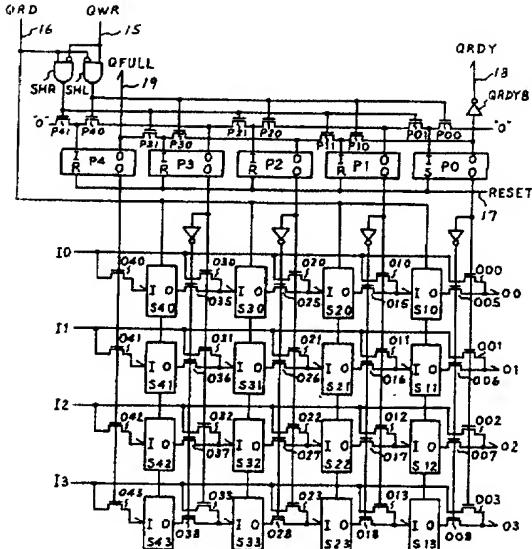
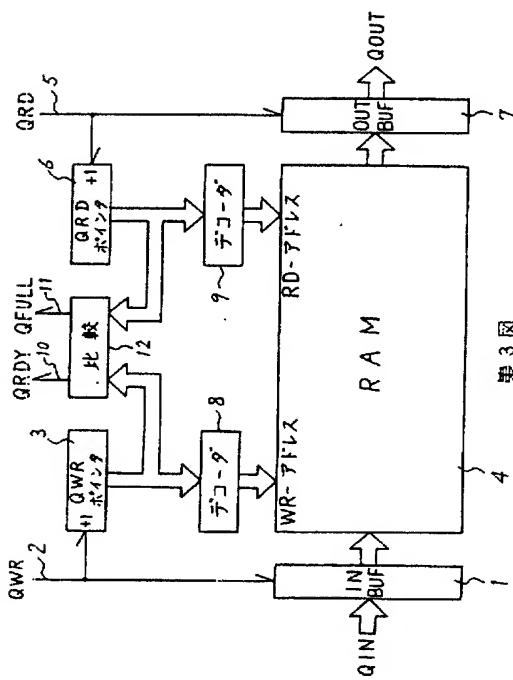


表 1



3
三

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 61292747
 PUBLICATION DATE : 23-12-86

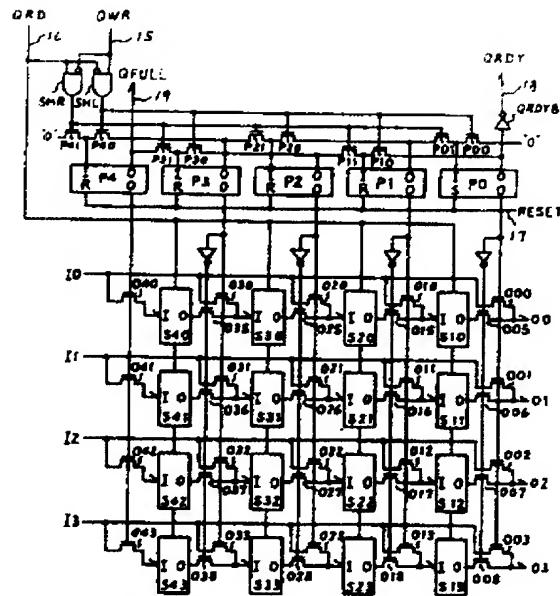
APPLICATION DATE : 20-06-85
 APPLICATION NUMBER : 60134766

APPLICANT : NEC CORP;

INVENTOR : MIYATA SHINJI;

INT.CL. : G06F 9/38 G06F 5/06

TITLE : BUFFER REGISTER



ABSTRACT : PURPOSE: To attain both reading and writing operations simultaneously in a simple constitution by providing a means to select and supply data to an optional bit of a shift register with a pointer.

CONSTITUTION: Shift registers S10~S43 supply the data on data input terminals I0~I3 and perform the shift operations synchronously with a read signal QRD 16 sent from a queue buffer register. When the write signal QWR is active, the input data on the terminals I0~I3 are written to the registers S10~S43 after the queue pointers P0~P4 are shifted to the left. At the same time, the data on the registers S10~S13 are delivered from output terminals O0~O3. While those queue pointers are shifted to the right when the signal QRD is active. Then all outputs keep their previous states when both signals QWR and QRD are inactive.

COPYRIGHT: (C)1986,JPO&Japio